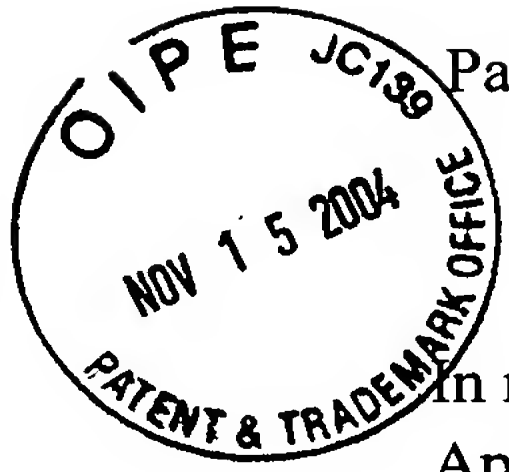


IFW



Patent

Customer No. 31561
Application No.: 10/709,925
Docket No. 11238-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Kung et al.
Application No. : 10/709,925
Filed : Jun 07, 2004
For : MULTI-CHIP PACKAGE
Examiner :
Art Unit : 2811

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 92120188,
filed on: 2003/7/24.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: Nov. 11, 2004

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

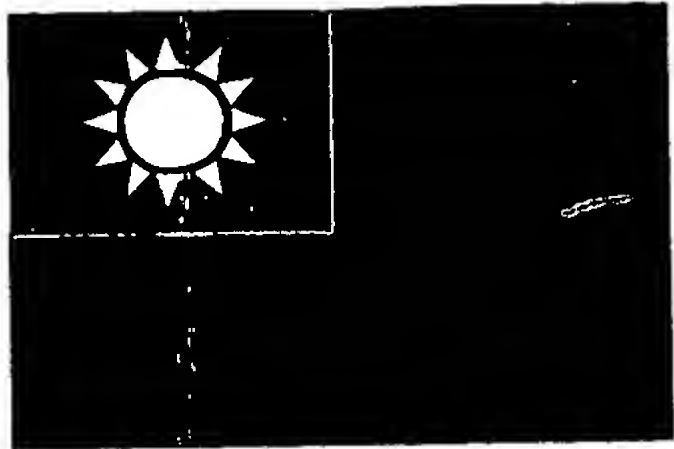
7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder

申請日：西元 2003 年 07 月 24 日
Application Date

申請案號：092120188
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

局 長

Director General

蔡練生



發文日期：西元 2004 年 8 月 2 日
Issue Date

CERTIFIED COPY OF
PRIORITY DOCUMENT

發文字號：09320779060
Serial No.

申請日期: 2003.7.24	IPC分類
申請案號: 92120188	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	多晶片封裝結構
	英文	MULTI-CHIP PACKAGE
二、 發明人 (共2人)	姓名 (中文)	1. 宮振越
	姓名 (英文)	1. Moriss Kung
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 台北縣新店市中正路533號8樓
	住居所 (英文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 威盛電子股份有限公司
	名稱或姓名 (英文)	1. VIA Technologies, Inc.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 台北縣新店市中正路533號8樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1. Hsiueh-Hong WANG



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共2人)	姓 名 (中文)	2. 何昆耀
	姓 名 (英文)	2. Kwun-Yao Ho
	國 籍 (中英文)	2. 中華民國 TW
	住居所 (中 文)	2. 台北縣新店市中正路533號8樓
	住居所 (英 文)	2. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：多晶片封裝結構)

一種多晶片封裝結構，至少包括一第一晶片、一第二晶片、多個凸塊及多個接點。第一晶片具有一主動表面，第二晶片配置在第一晶片之主動表面上，而第二晶片垂直於第一晶片之主動表面的高度係為 $h1$ 。凸塊係位在第一晶片之主動表面與第二晶片之間，而凸塊垂直於第一晶片之主動表面的高度係為 $h2$ 。接點係凸出於第一晶片之主動表面，而接點垂直於第一晶片之主動表面的高度係為 $h3$ ，其中 $h3 \geq h1 + h2$ 。

伍、(一)、本案代表圖為：第____2____圖

(二)、本案代表圖之元件代表符號簡單說明：

200：多晶片封裝結構

210：晶片

214：接墊

220：晶片

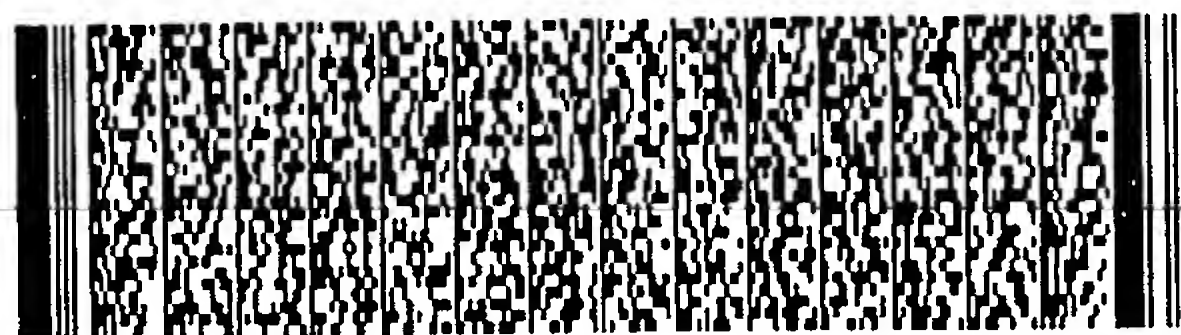
212：接墊

216：主動表面

222：接墊

六、英文發明摘要 (發明名稱：MULTI-CHIP PACKAGE)

A multi-chip package includes a first chip, a second chip, multiple bumps and multiple contact protrusions. The first chip has an active surface on which the second chip is mounted by the bumps. The second chip has a height, defined as $h1$, perpendicular to the active surface of the first chip. The bumps are positioned between the active surface of the first chip and the second chip.



四、中文發明摘要 (發明名稱：多晶片封裝結構)

224 : 主動表面

232 : 接墊

236 : 上表面

240 : 凸塊

252 : 凸塊

260 : 絕緣材料

280 : 鐳料

h1 : 晶片之高度

h3 : 接點之高度

230 : 基板

234 : 接墊

238 : 下表面

250 : 接點

254 : 凸塊

270 : 鐳球

282 : 鐳料

h2 : 凸塊之高度

六、英文發明摘要 (發明名稱：MULTI-CHIP PACKAGE)

One of the bumps has a height, defined as h_2 , perpendicular to the active surface of the first chip. The contact protrusions project from the active surface of the first chip and has a height, defined as h_3 , perpendicular to the active surface of the first chip, wherein $h_3 \geq h_1 + h_2$.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

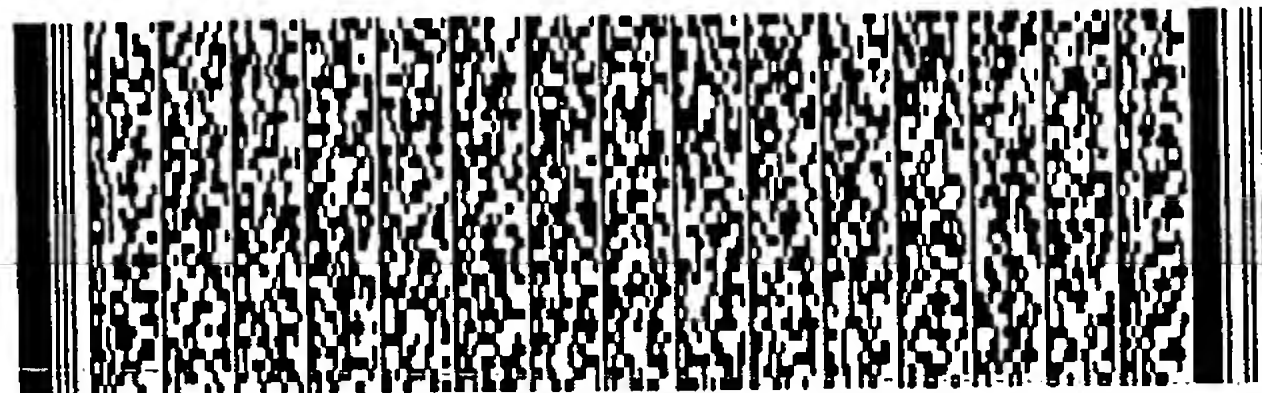
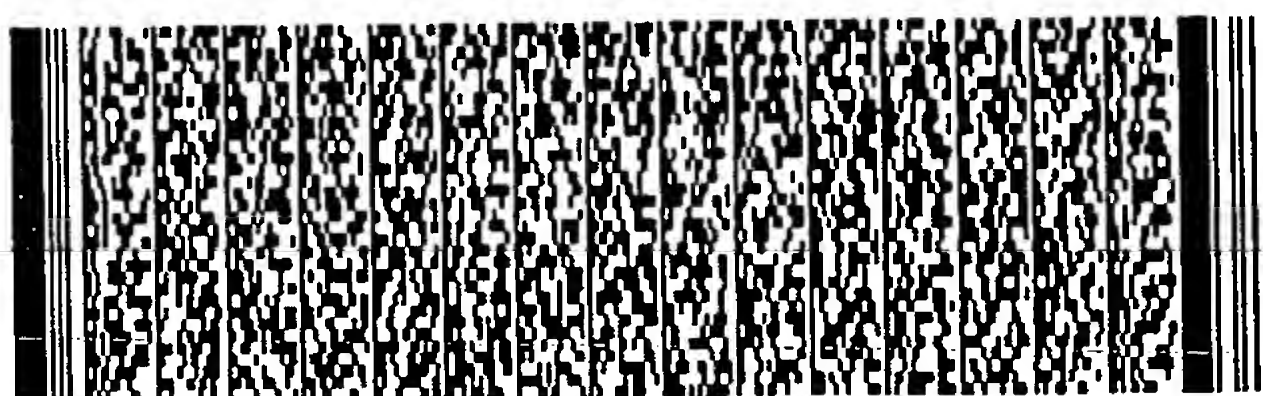
本發明是有關於一種多晶片封裝結構，且特別是有關於一種利用基板承載多個覆晶堆疊晶片之封裝結構 (Flip-Chip stacked die package)，可以改善基板之電性效能及縮減多晶片封裝結構的面積。

【先前技術】

在現今資訊社會的時代，電子產品已成為不可或缺的生活必需品之一，琳瑯滿目的電子產品充斥於市面上。隨著電子科技的進步，許多功能性強、運算速度快及記憶容量大的電子產品便研發出來，但是體積不但沒有增加，反而卻朝向輕、薄、短、小的趨勢邁進。為達到縮小體積及重量的目的，就電路設計而言，係融入整合的概念，如此僅須利用一晶片便可以達到許多功能，且晶片內已能夠製作出奈米等級線寬之積體電路，故即使晶片整合了許多功能，還是可以製作出體積甚小的晶片。

就半導體封裝而言，為達到上述輕、薄、短、小的設計理念，許多廠商便開發出許多符合此理念之晶片封裝結構，比如是多晶片模組 (MCM)、晶片尺寸構裝 (CSP) 及堆疊型多晶片封裝結構等。接下來，將介紹一種習知堆疊型多晶片封裝結構，如第1圖所示。

請參照第1圖，多晶片封裝結構100包括晶片110、120、基板130、凸塊140、142、絕緣材料150及鐳球160。晶片110具有多個接墊112、116，位在晶片110之主動表面



五、發明說明 (2)

114 上，晶片 120 亦具有具有多個接墊 122，位在晶片 120 之主動表面 124 上，其中晶片 110、120 間係透過凸塊 140 相互接合，凸塊 140 的一端係與晶片 110 之接墊 112 接合，凸塊 140 的另一端係與晶片 120 之接墊 124 接合，而晶片 110 之主動表面 114 係面向晶片 120 之主動表面 124。基板 130 具有一開口 132，係貫穿基板 130，且基板 130 之開口 132 可以容納晶片 120，而基板 130 具有多個接墊 134、135，分別為在基板 130 之上表面 136 上及下表面 137 上，接墊 134 係位在開口 132 的周圍，其中晶片 110 與基板 130 之間係透過凸塊 142 相互接合，凸塊 142 的一端係與晶片 110 之接墊 116 接合，凸塊 142 的另一端係與基板 130 之接墊 134 接合，而錫球 160 係位在基板 130 之接墊 135 上。絕緣材料 150 係位在基板 130 之開口 132 中，且還包覆凸塊 140 及晶片 120。

在上述的多晶片封裝結構 100 中，由於基板 130 必須製作開口 132，藉以容納晶片 120，因此在基板 130 繞線的過程中，必須繞過基板 130 之開口 132，如此會增加訊號傳輸路徑的長度，導致基板 130 之電性品質會降低，且製作上較為困難，會增加基板 130 之製作成本，同時，基板 130 的外圍邊長尺寸會增加，因此就多晶片封裝結構 100 之整體外觀而言，會受到基板 130 之外圍邊長尺寸的限制，而無法製作出小面積的多晶片封裝結構 100。

【發明內容】

有鑑於此，本發明之目的之一是提供一種多晶片封裝



五、發明說明 (3)

結構，可以改善基板的電性效能。

本發明之目的之二是提供一種多晶片封裝結構，可以降低基板之製作成本。

本發明之目的之三是提供一種多晶片封裝結構，可以縮減多晶片封裝結構的面積。

為達成上述目的，本發明提出一種多晶片封裝結構，至少包括一第一晶片、一第二晶片、多個第一凸塊及多個接點。第一晶片具有一主動表面，第二晶片配置在第一晶片之主動表面上，而第二晶片垂直於第一晶片之主動表面，第一凸塊係位於第一晶片之主動表面與第二晶片之間，而第一凸塊垂直於第一晶片之主動表面，高度係為 h_1 。第一凸塊係位於第一晶片之主動表面與第二晶片之間，而第一凸塊垂直於第一晶片之主動表面，高度係為 h_2 。接點係凸出於第一晶片之主動表面，而接點垂直於第一晶片之主動表面，高度係為 h_3 ，其中 $h_3 \geq h_1 + h_2$ 。

綜上所述，由於第二晶片係位於第一晶片與基板之間，因此基板具有完整之內部繞線空間，如此會減少訊號傳輸路徑的長度，可以提高基板之電性品質，且製作上較為簡單，會降低基板之製作成本，同時，基板的外圍邊長尺寸會縮減，因此可以製作出小面積的多晶片封裝結構。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

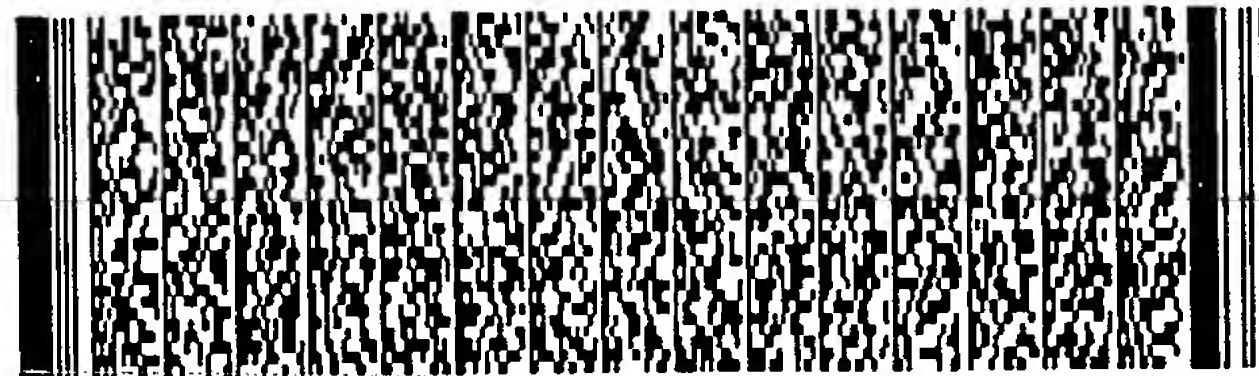


五、發明說明 (4)

第一較佳實施例

請參照第2圖及第3圖，其中第2圖繪示依照本發明第一較佳實施例之多晶片封裝結構的剖面示意圖，第3圖繪示依照本發明第一較佳實施例之多晶片封裝結構的上視示意圖。多晶片封裝結構200包括晶片210、220、基板230、凸塊240、接點250、絕緣材料260及錫球270。晶片210具有多個接墊212、214，位在晶片210之主動表面216上，晶片220亦具有具有多個接墊222，位在晶片220之主動表面224上，其中晶片210、220間係透過凸塊240(在第3圖中係以代號1表示)相互電性連接。

就製程而言，本實施例之凸塊240比如是先利用一打線機台(未繪示)以打壓的方式形成錐形凸塊(stud bump)在晶片220之接墊222上，然後形成比如是絕緣材料之一底膠膜260於晶片220之主動表面224上並暴露出該凸塊240之頂面，以完成一可直接單獨進行電性測試的封裝模組229。該封裝模組229比如為晶片尺寸構裝(Chip-Scaled Package, CSP)的型態，本實施例之封裝模組229即係由晶片220及凸塊240及底膠膜260所構成。在確定封裝模組229係為良好的之後，再將封裝模組229裝配到晶片210上。可以利用網板印刷的方式，形成錫料280在晶片210之接墊212上，接著再移動封裝模組229，使凸塊240置放於錫料280上並對準晶片210之接墊212的位置，接下來藉由迴錫(reflow)的步驟，使得凸塊240可以藉由錫料280接合在晶片210之接墊212上，如此晶片220便可以透過凸塊240及錫



五、發明說明 (5)

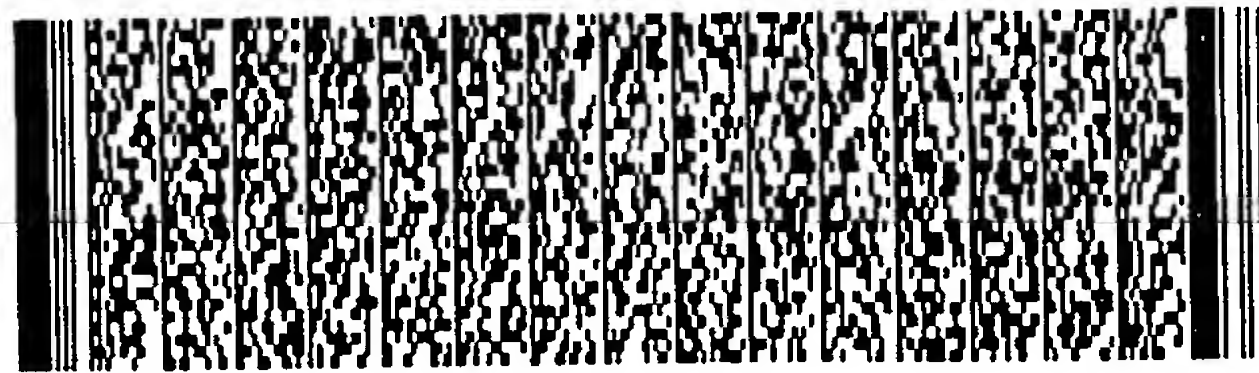
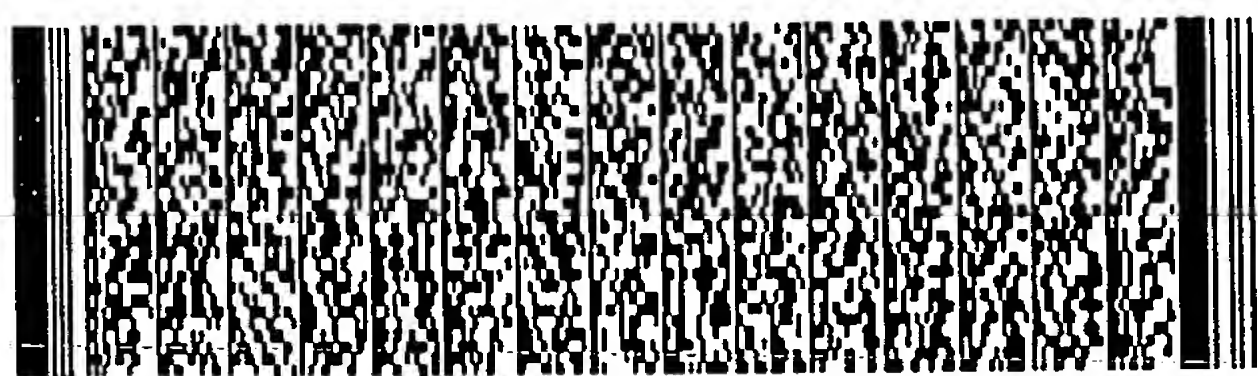
料280電性連接於晶片210。

然而凸塊240與接墊212間的接合方式並不限於此，亦可以在經由電性測試確定封裝模組229係為良好的狀態之後，還進行加熱並輔以超音波加工(thermal-sonic bonding)，使得凸塊240可以直接接合在晶片210之接墊212上。而底膠膜260可利用加熱固化(curing)方式使其充填於晶片220及晶片210之間。

基板230具有多個接墊232、234，分別為在基板230之上表面236上及下表面238上，其中晶片210與基板230之間係透過接點250(在第3圖中係以代號2表示)相互電性連接，每一接點250比如是由兩個凸塊252、254堆疊而成。

就製程而言，本實施例之堆疊凸塊252、254比如是利用打線機台以打壓的方式先形成錐形凸塊252於晶片210之接墊214上，然後再一次利用打線機台以打壓的方式形成錐形凸塊254於凸塊252上。接著，形成比如是絕緣材料之一底膠膜261於晶片210之主動表面216上，並暴露出接點250之頂面，並且該底膠膜261具有一開口263可容置封裝模組229，如此便製作完成一可直接單獨進行電性測試的封裝模組219。

本實施例中該封裝模組219比如是由封裝模組229、晶片210、接點250及底膠膜261所構成。在確定封裝模組229係為良好的之後，再將封裝模組219裝配到基板230上，可以利用網板印刷的方式，形成錫料282在基板230之接墊232上，接著再移動封裝模組219，使接點250置放於錫料



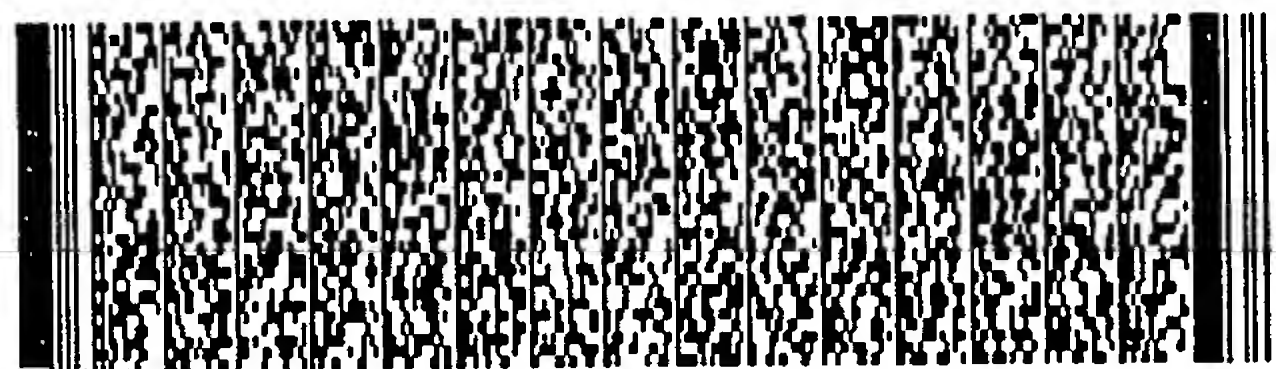
五、發明說明 (6)

282 上並對準基板230之接墊232的位置，接下來藉由迴錫(reflow)的步驟，使得接點250可以藉由錫料282接合在基板230之接墊232上。然而接點250與接墊232間的接合方式並不限於此，亦可以在經由電性測試確定封裝模組219係為良好的狀態之後，還進行加熱並輔以超音波加工，使得接點250可以直接接合在基板230之接墊232上。而底膠膜261可利用加熱固化(curing)方式使其充填於晶片210及基板230之間。

請參照第2圖及第3圖，晶片220係位在晶片210與基板230之間，且晶片220係位在晶片210之主動表面216以內的區域。底膠膜260、261係位在晶片210之主動表面216上，並包覆凸塊240及接點250。而錫球270係位在基板230之接墊234上。

請參照第2圖，定義晶片220垂直於晶片210之主動表面216的高度係為 $h1$ ，凸塊240垂直於晶片210之主動表面216的高度係為 $h2$ ，接點250垂直於晶片210之主動表面216的高度係為 $h3$ ，其中 $h3 \geq h1 + h2$ 。另外，在垂直於晶片210之主動表面216的方向上，若是定義基板230與晶片210之主動表面216之間的距離係為 d ，則 $d \geq h1 + h2$ 。

在本實施例中，晶片220係位在晶片210與基板230之間，故相較於習知技術，本發明之基板230並不具有開口，而保留有完整之內部繞線空間，如此會減少訊號傳輸路徑的長度，提高基板230之電性品質，且製作上較為簡單，會降低基板230之製作成本，同時，基板230的外圍邊



五、發明說明 (7)

長尺寸會縮減，因此可以製作出小面積的多晶片封裝結構200。另外，在本實施例中，封裝模組229在接合到晶片210之前及封裝模組219在接合到基板230之前，均會進行電性測試封裝模組229、219的步驟，藉以檢測出不良之封裝模組229、219，如此可以確保裝配到晶片210上之封裝模組229及裝配到基板230上之封裝模組219均為良好的狀態。

在本實施例中，接點比如是由兩個凸塊堆疊而成，然而本發明的應用並不限於此，接點亦可以是由一個較高的凸塊所構成；當然，接點亦可以是由三個、四個或是其他數目個之凸塊堆疊而成。

第二較佳實施例

第4圖繪示依照本發明第二較佳實施例之多晶片封裝結構的上視示意圖。本實施例之多晶片封裝結構係延伸自第一較佳實施例之多晶片封裝結構，其中晶片320係位在晶片310與基板330之間，晶片310係透過凸塊340(在第4圖中係以代號1表示)與晶片320電性連接，而晶片310係透過接點350(在第4圖中係以代號2表示)與基板330電性連接，其中接點350的高度係大於晶片320加上凸塊340的高度，故相較於習知技術，基板330並不具有開口，而保留有完整之內部繞線空間。晶片310、320係為長方形的樣式，晶片310的延伸方向係垂直於晶片320的延伸方向，而晶片320係延伸到晶片310之主動表面以外的區域。



第三較佳實施例

請參照第5圖及第6圖，其中第5圖繪示依照本發明第三較佳實施例之多晶片封裝結構的剖面示意圖，第6圖繪示依照本發明第三較佳實施例之多晶片封裝結構的上視示意圖。本實施例之多晶片封裝結構係延伸自第一較佳實施例之多晶片封裝結構，其中二晶片420、430係配置在晶片410之主動表面412上，晶片420透過凸塊440(在第6圖中係以代號1表示)與晶片410電性連接，晶片430透過凸塊450(在第6圖中係以代號2表示)與晶片410電性連接，而晶片410透過接點460(在第6圖中係以代號3表示)與基板470電性連接，其中每一接點460係由兩個凸塊462、464堆疊而成，而凸塊462、464比如是利用打線機台以打壓的方式製作而成。

值得注意的是，就製程而言，在分別形成凸塊440、450於晶片420、430上之後，便形成一般所熟知的晶片尺寸構裝(CSP)型態之封裝模組429、439，在封裝模組429、439接合到晶片410之前，還要對每一封裝模組429、439進行電性測試，確保每一封裝模組429、439係為良好的狀態。此外，在封裝模組429、439接合到晶片410上及接點460形成到晶片410上之後，還要進行電性測試的步驟，藉以確定由封裝模組429、439、晶片410及接點460所構成之封裝模組419係為良好的狀態，之後才將封裝模組419接合到基板470上。藉由前述之電性測試封裝模組419、429、



五、發明說明 (9)

439 的步驟，可以大幅提升多晶片封裝結構400之良率。

定義晶片420垂直於晶片410之主動表面412的高度係為 h_1 ，凸塊440垂直於晶片410之主動表面412的高度係為 h_2 ；接點460垂直於晶片410之主動表面412的高度係為 h_3 ，晶片430垂直於晶片410之主動表面412的高度係為 h_4 ，凸塊450垂直於晶片410之主動表面412的高度係為 h_5 ，其中 $h_3 \geq h_1 + h_2$ ， $h_3 \geq h_4 + h_5$ 。另外，在垂直於晶片210之主動表面216的方向上，若是定義基板230與晶片210之主動表面216之間的距離係為 d ，則 $d \geq h_1 + h_2$ ， $d \geq h_4 + h_5$ 。在本實施例中，晶片420、430係位在晶片410與基板470之間，相較於習知技術，基板470並不具有開口，故可以保留有完整之內部繞線空間。

在本實施例中，晶片410與基板470之間係配置有二封裝模組429、439，然而在實際的應用上，亦可以配置更多的封裝模組於晶片410與基板470之間。

第四較佳實施例

在前述的較佳實施例中，接點係由二凸塊堆疊而成，然而本發明的應用並不限於此。請參照第7圖，其繪示依照本發明第四較佳實施例之多晶片封裝結構的剖面示意圖。本實施例係雷同於第一較佳實施例，相同的部份在此便不再贅述，而不同處係在於接點的形式，在本實施例中，接點550亦可以比如是金屬柱的形式，其製作方法比如是利用多層印刷的方式製作而成。

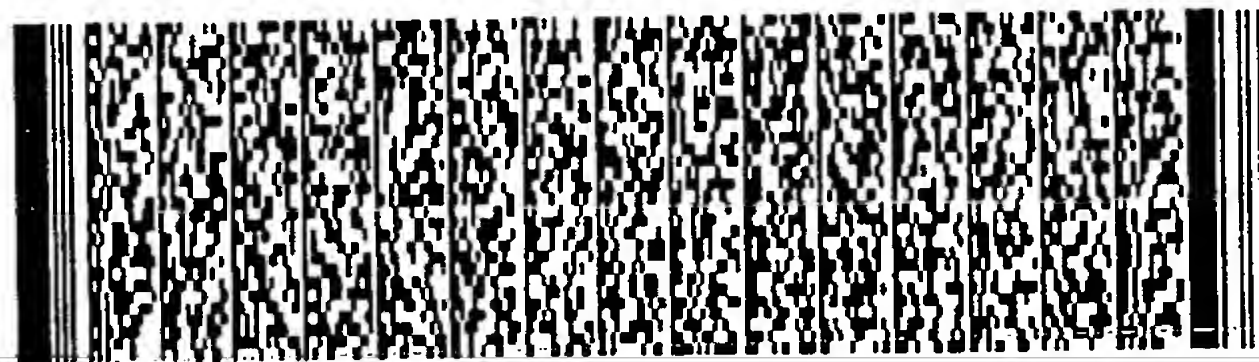


五、發明說明 (10)

定義晶片520垂直於晶片510之主動表面516的高度係為 h_1 ，凸塊540垂直於晶片510之主動表面516的高度係為 h_2 ，接點550垂直於晶片510之主動表面516的高度係為 h_3 ，其中 $h_3 \geq h_1 + h_2$ 。另外，在垂直於晶片510之主動表面516的方向上，若是定義基板530與晶片510之主動表面516之間的距離係為 d ，則 $d \geq h_1 + h_2$ 。

第五較佳實施例

在前述的較佳實施例中，接合在晶片210、410上之封裝模組229、429、439均為晶片尺寸構裝的類型，然而本發明的應用並不限於此。請參照第8圖，其繪示依照本發明第五較佳實施例之多晶片封裝結構的剖面示意圖。本實施例中接合在晶片610上之封裝模組620係可為多晶片封裝模組(Multi-chip Module; MCM)或為一系統化封裝(System in a Package; SIP)結構。第8圖中封裝模組620例如具有一模組基板622、二晶片630、632、一封裝材料640及多個凸塊650，模組基板622具有一第一表面624及一第二表面626，晶片630、632係位在第一表面624上，凸塊650係位在第二表面626上。晶片630例如係以覆晶的方式並透過多個模組凸塊631與模組基板622接合，填充材料633會填入於晶片630與模組基板622之間，並包覆模組凸塊631。晶片632例如係藉由打線的方式形成多條導線634與模組基板622電性連接，封裝材料640係包覆晶片630、632及導線634，而封裝模組620係透過凸塊650接合於晶片



五、發明說明 (11)

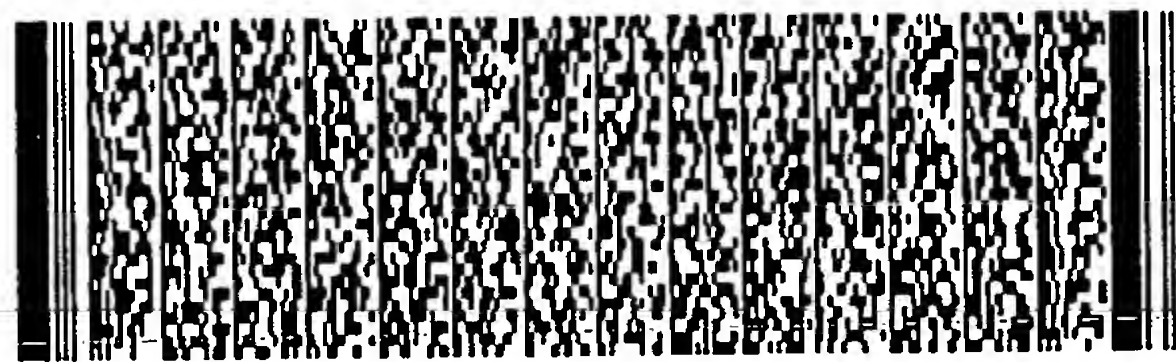
610 上。

就製程而言，在封裝模組620與晶片610接合之前，會先電性測試封裝模組620，藉以確定在接下來的步驟中，所使用的封裝模組620係為良好的。之後便可以將封裝模組620接合到晶片610上，然後再電性測試由封裝模組620、晶片610及接點660所構成之封裝模組619，藉以確定封裝模組619係為良好的狀態，之後便可以將封裝模組619接合到基板670上。其中底膠膜680係形成於晶片610與模組基板622之間，並包覆凸塊650；而底膠膜681係形成於晶片610與基板670之間，並包覆接點660。

在本實施例中，封裝模組620係與基板670接觸，如此封裝模組620所產生的熱量可以經由基板670而傳導出去，故能夠大幅提高封裝模組620之散熱效率。然而本發明的應用並不限於此，封裝模組620亦可以是未接觸於基板670，並且封裝模組亦可為複數個。

在本實施例中，接點660係為金屬柱的形式，然而接點的形式並不限於此，亦可以是如第一較佳實施例中的接點形式，亦即接點660亦可以是利用打線機台以打壓的方式先形成多個凸塊於晶片610之接墊612上而成。

定義封裝模組620垂直於晶片610之主動表面616的整體高度係為 $h1$ ，而在垂直於晶片610之主動表面616的方向上，定義基板670與晶片610之主動表面616之間的距離係為 d ，則 $d \geq h1$ 。



五、發明說明 (12)

結 論

綜上所述，本發明至少具有下列優點：

1. 本發明之多晶片封裝結構，由於基板具有完整之內部繞線空間，如此會減少訊號傳輸路徑的長度，可以提高基板之電性品質。

2. 本發明之多晶片封裝結構，由於基板並不需要製作用於容納晶片之開口，因此基板在製作上較為簡單，會降低基板之製作成本。

3. 本發明之多晶片封裝結構，由於基板並不需要製作用於容納晶片之開口，且基板具有完整之內部繞線空間，而可以高積集度地配置線路，故基板的外圍邊長尺寸會縮減，而能夠製作出小面積的多晶片封裝結構。

4. 本發明之多晶片封裝結構，由於封裝模組在接合於其他構件之前，均會進行電性測試的步驟，因此可以大幅提高多晶片封裝結構之良率。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖繪示習知多晶片封裝結構之剖面示意圖。

第2圖繪示依照本發明第一較佳實施例之多晶片封裝結構的剖面示意圖。

第3圖繪示依照本發明第一較佳實施例之多晶片封裝結構的上視示意圖。

第4圖繪示依照本發明第二較佳實施例之多晶片封裝結構的上視示意圖。

第5圖繪示依照本發明第三較佳實施例之多晶片封裝結構的剖面示意圖。

第6圖繪示依照本發明第三較佳實施例之多晶片封裝結構的上視示意圖。

第7圖繪示依照本發明第四較佳實施例之多晶片封裝結構的剖面示意圖。

第8圖繪示依照本發明第五較佳實施例之多晶片封裝結構的剖面示意圖。

【圖示之標號說明】

100：多晶片封裝結構

110：晶片

114：主動表面

120：晶片

124：主動表面

132：開口

135：接墊

112：接墊

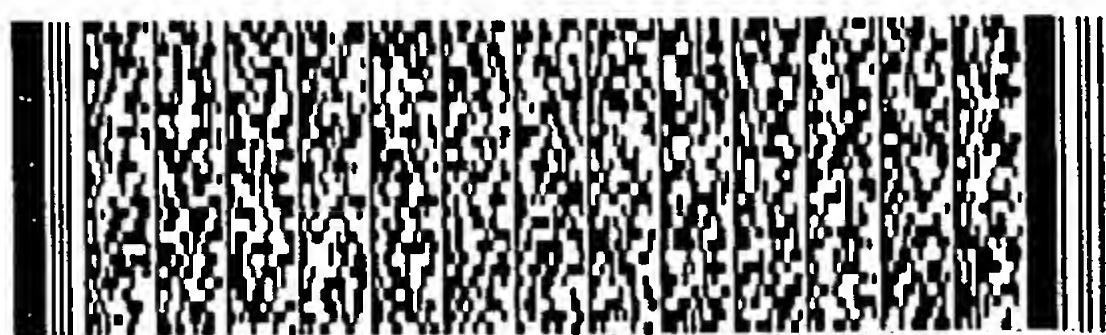
116：接墊

122：接墊

130：基板

134：接墊

136：上表面



圖式簡單說明

137 : 上表面	140 : 凸塊
142 : 凸塊	150 : 絕緣材料
160 : 鐳球	
200 : 多晶片封裝結構	
210 : 晶片	212 : 接墊
214 : 接墊	216 : 主動表面
219 : 封裝模組	220 : 晶片
222 : 接墊	224 : 主動表面
229 : 封裝模組	230 : 基板
232 : 接墊	234 : 接墊
236 : 上表面	238 : 下表面
240 : 凸塊	250 : 接點
252 : 凸塊	254 : 凸塊
260 : 底膠膜	261 : 底膠膜
263 : 開口	270 : 鐳球
280 : 鐳料	282 : 鐳料
310 : 晶片	320 : 晶片
330 : 基板	340 : 凸塊
350 : 接點	
400 : 多晶片封裝結構	
410 : 晶片	412 : 主動表面
419 : 封裝模組	420 : 晶片
429 : 封裝模組	430 : 晶片
439 : 封裝模組	440 : 凸塊



圖式簡單說明

450 : 凸塊

462 : 凸塊

470 : 基板

510 : 晶片

520 : 晶片

532 : 接墊

550 : 接點

610 : 晶片

616 : 主動表面

620 : 封裝模組

624 : 第一表面

630 : 晶片

632 : 晶片

634 : 導線

650 : 凸塊

670 : 基板

681 : 底膠膜

d : 晶片與基板之間的距離

h1 : 晶片之高度

h3 : 接點之高度

h5 : 凸塊之高度

460 : 接點

464 : 凸塊

516 : 主動表面

530 : 基板

540 : 凸塊

582 : 鐸料

612 : 接墊

619 : 封裝模組

622 : 模組基板

626 : 第二表面

631 : 模組凸塊

633 : 填充材料

640 : 封裝材料

660 : 接點

680 : 底膠膜

h2 : 凸塊之高度

h4 : 晶片之高度



六、申請專利範圍

1. 一種多晶片封裝模組，至少包括：

一第一晶片，具有一主動表面；

一第二晶片，以覆晶方式配置在該第一晶片之該主動表面上，在垂直於該主動表面的方向上，該第二晶片的高度係為 $h1$ ；

複數個第一凸塊，係位在該第一晶片之該主動表面與該第二晶片之間，在垂直於該主動表面的方向上，該些第一凸塊的高度係為 $h2$ ；以及

複數個接點，係凸出於該第一晶片之該主動表面，而該些接點垂直於該主動表面的高度係為 $h3$ ，其中 $h3 \geq h1 + h2$ 。

2. 如申請專利範圍第1項所述之多晶片封裝模組，其中每一該些接點係由複數個第二凸塊堆疊而成。

3. 如申請專利範圍第1項所述之多晶片封裝模組，其中每一該些接點係為金屬柱的形式。

4. 如申請專利範圍第1項所述之多晶片封裝模組，還包括一絕緣材料，位在該第一晶片之該主動表面上，並包覆該些第一凸塊及該些接點。

5. 如申請專利範圍第1項所述之多晶片封裝模組，其中該第二晶片之部分區域係延伸到該第一晶片之該主動表面以外的區域。

6. 如申請專利範圍第1項所述之多晶片封裝模組，還包括一第三晶片及複數個第三凸塊，該第三晶片係以覆晶方式配置在該第一晶片之該主動表面上，該些第三凸塊係



六、申請專利範圍

位在該第一晶片之該主動表面與該第三晶片之間，在垂直於該主動表面的方向上，該第三晶片的高度係為 h_4 ，該些第三凸塊的高度係為 h_5 ，其中 $h_3 \geq h_4 + h_5$ 。

7. 一種多晶片封裝結構，至少包括：

一基板；

複數個接點；

一第一晶片，具有一主動表面，該第一晶片之該主動表面係朝向該基板，該些接點係位在該第一晶片與該基板之間，藉以接合該第一晶片及該基板，在垂直於該主動表面的方向上，該基板與該主動表面之間的距離係為 d ；

一第二晶片，配置在該第一晶片與該基板之間，而該第二晶片垂直於該主動表面的高度係為 h_1 ；以及

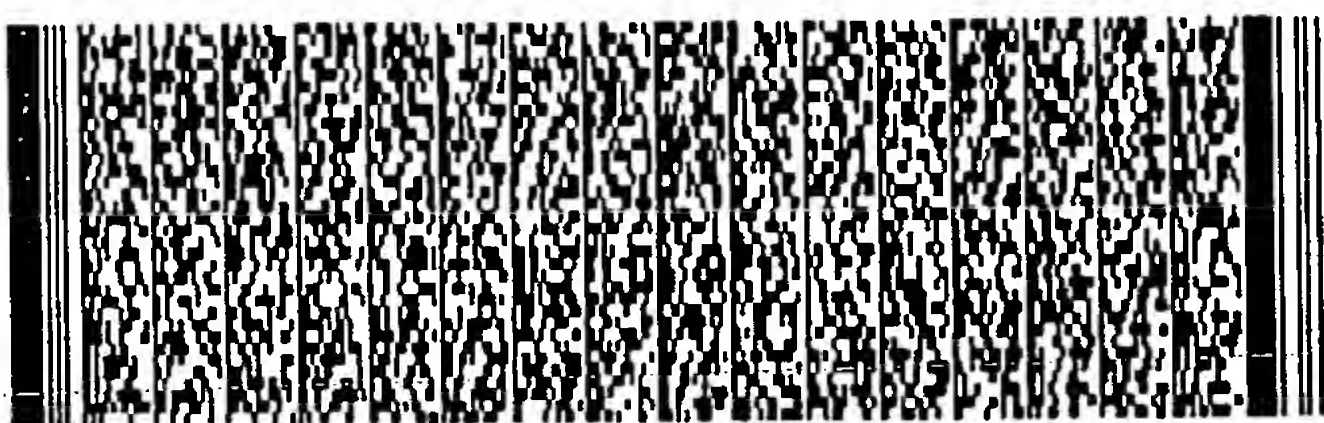
複數個第一凸塊，係位在該第一晶片之該主動表面與該第二晶片之間，藉以接合該第一晶片及該第二晶片，而該些第一凸塊垂直於該主動表面的高度係為 h_2 ，其中 $d \geq h_1 + h_2$ 。

8. 如申請專利範圍第7項所述之多晶片封裝結構，其中每一該些接點係由複數個第二凸塊堆疊而成。

9. 如申請專利範圍第7項所述之多晶片封裝結構，其中每一該些接點係為金屬柱的形式。

10. 如申請專利範圍第7項所述之多晶片封裝結構，還包括一絕緣材料，位在該第一晶片之該主動表面上，並包覆該些第一凸塊及該些接點。

11. 如申請專利範圍第7項所述之多晶片封裝結構，其



六、申請專利範圍

中該第二晶片之部分區域係延伸到該第一晶片之該主動表面以外的區域。

12. 如申請專利範圍第7項所述之多晶片封裝結構，其中該些接點垂直於該主動表面的高度係為 $h3$ ，而 $h3 \geq h1 + h2$ 。

13. 如申請專利範圍第7項所述之多晶片封裝結構，還包括一第三晶片及複數個第三凸塊，該第三晶片係配置在該第一晶片與該基板之間，該些第三凸塊係位在該第一晶片與該第三晶片之間，藉以利用覆晶的方式接合該第一晶片及該第三晶片，於垂直於該主動表面方向上，該第三晶片的高度係為 $h4$ ，該些第三凸塊的高度係為 $h5$ ，其中 $d \geq h4 + h5$ 。

14. 如申請專利範圍第13項所述之多晶片封裝結構，其中該些接點垂直於該主動表面的高度係為 $h3$ ，而 $h3 \geq h4 + h5$ 。

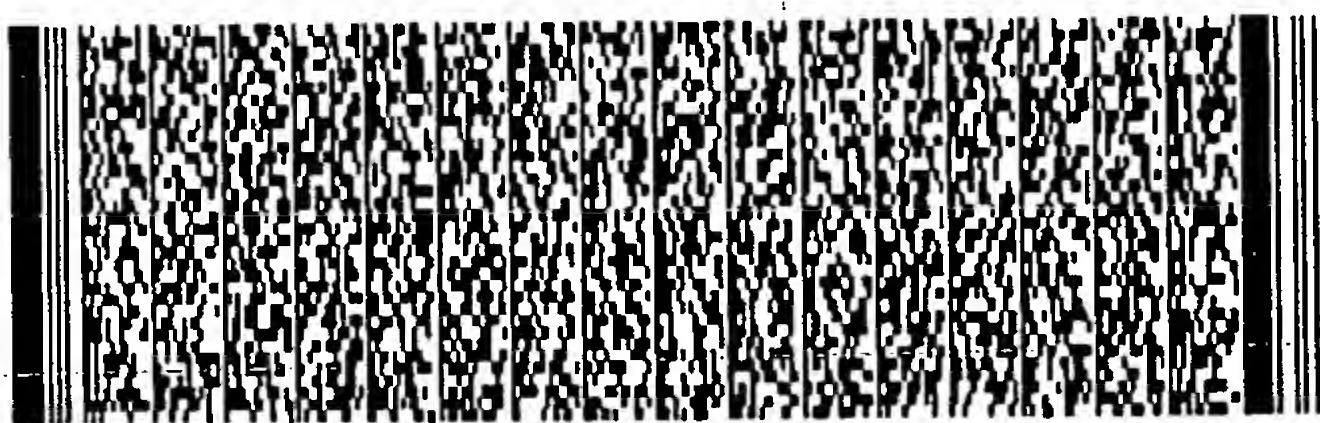
15. 一種多晶片封裝結構，至少包括：

一基板；

複數個接點；

一第一晶片，具有一主動表面，該第一晶片之該主動表面係朝向該基板，該些接點係位在該第一晶片與該基板之間，以覆晶方式接合該第一晶片及該基板，而在垂直於該主動表面的方向上，該基板與該主動表面之間的距離係為 d ；以及

至少一封裝模組，配置在該第一晶片與該基板之間，



六、申請專利範圍

並與該第一晶片接合，其中該封裝模組包含至少一晶片，而在垂直於該主動表面的方向上，該封裝模組的整體高度係為 $h1$ ，其中 $d \geq h1$ 。

16. 如申請專利範圍第15項所述之多晶片封裝結構，其中每一該些接點係由複數個凸塊堆疊而成。

17. 如申請專利範圍第15項所述之多晶片封裝結構，其中每一該些接點係為金屬柱的形式。

18. 如申請專利範圍第15項所述之多晶片封裝結構，其中該封裝模組在與該第一晶片接合之前，該封裝模組便已完成電性測試。

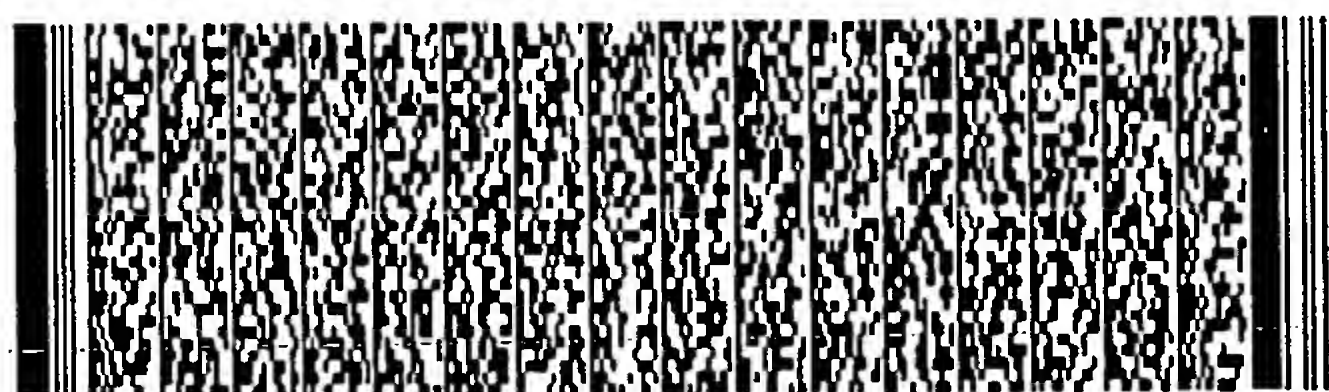
19. 如申請專利範圍第15項所述之多晶片封裝結構，其中該封裝模組係為一多晶片封裝模組(Multi-chip Module; MCM)。

20. 如申請專利範圍第15項所述之多晶片封裝結構，其中該封裝模組係為一系統化封裝(System in a Package; SIP)。

21. 如申請專利範圍第15項所述之多晶片封裝結構，其中該封裝模組之部分區域係延伸到該第一晶片之該主動表面以外的區域。

22. 如申請專利範圍第15項所述之多晶片封裝結構，其中該封裝模組係為一晶片尺寸構裝(Chip Scale Package, CSP)的形式。

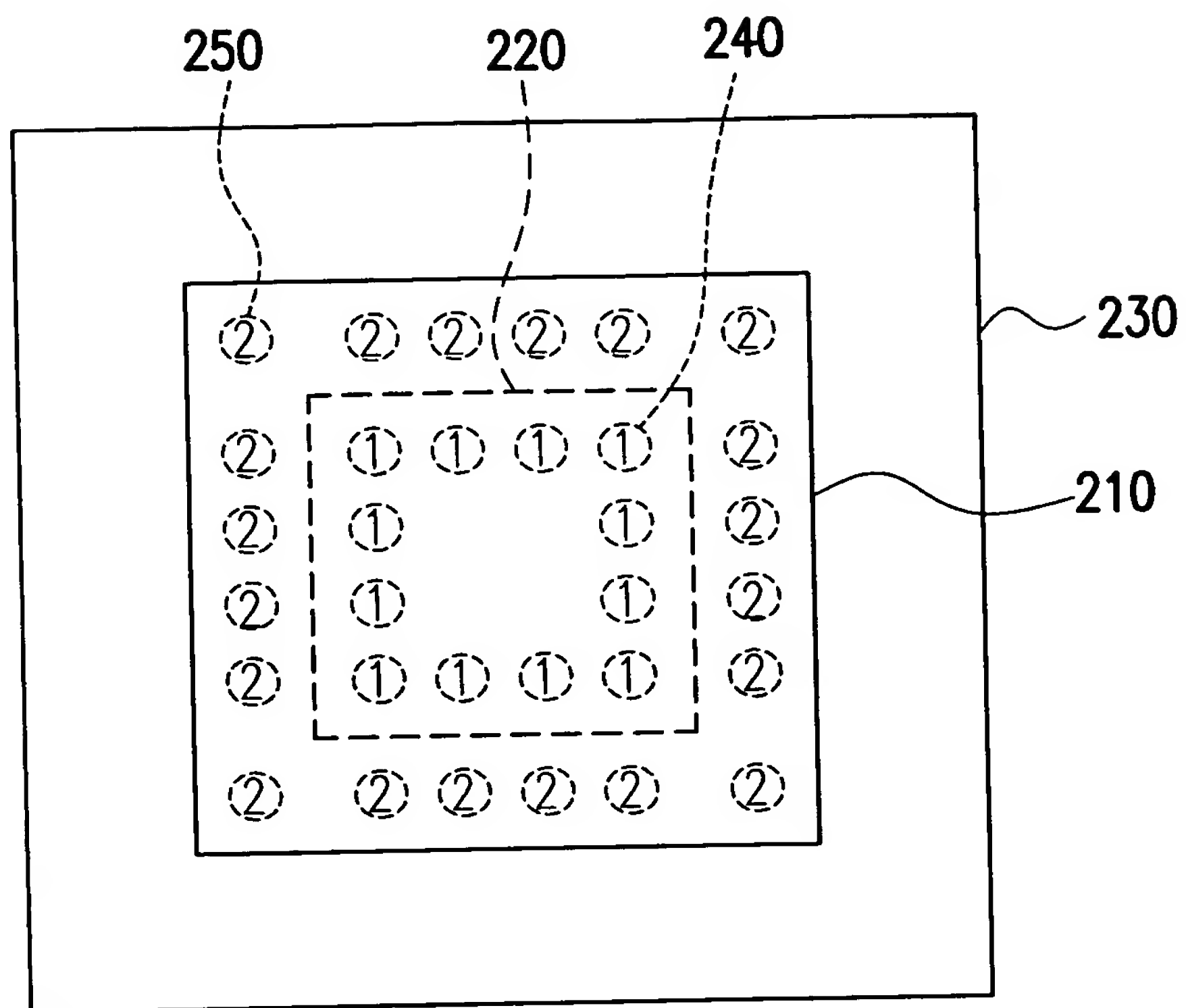
23. 如申請專利範圍第15項所述之多晶片封裝結構，其中該些接點垂直於該主動表面的高度係為 $h3$ ，而 $h3 \geq$



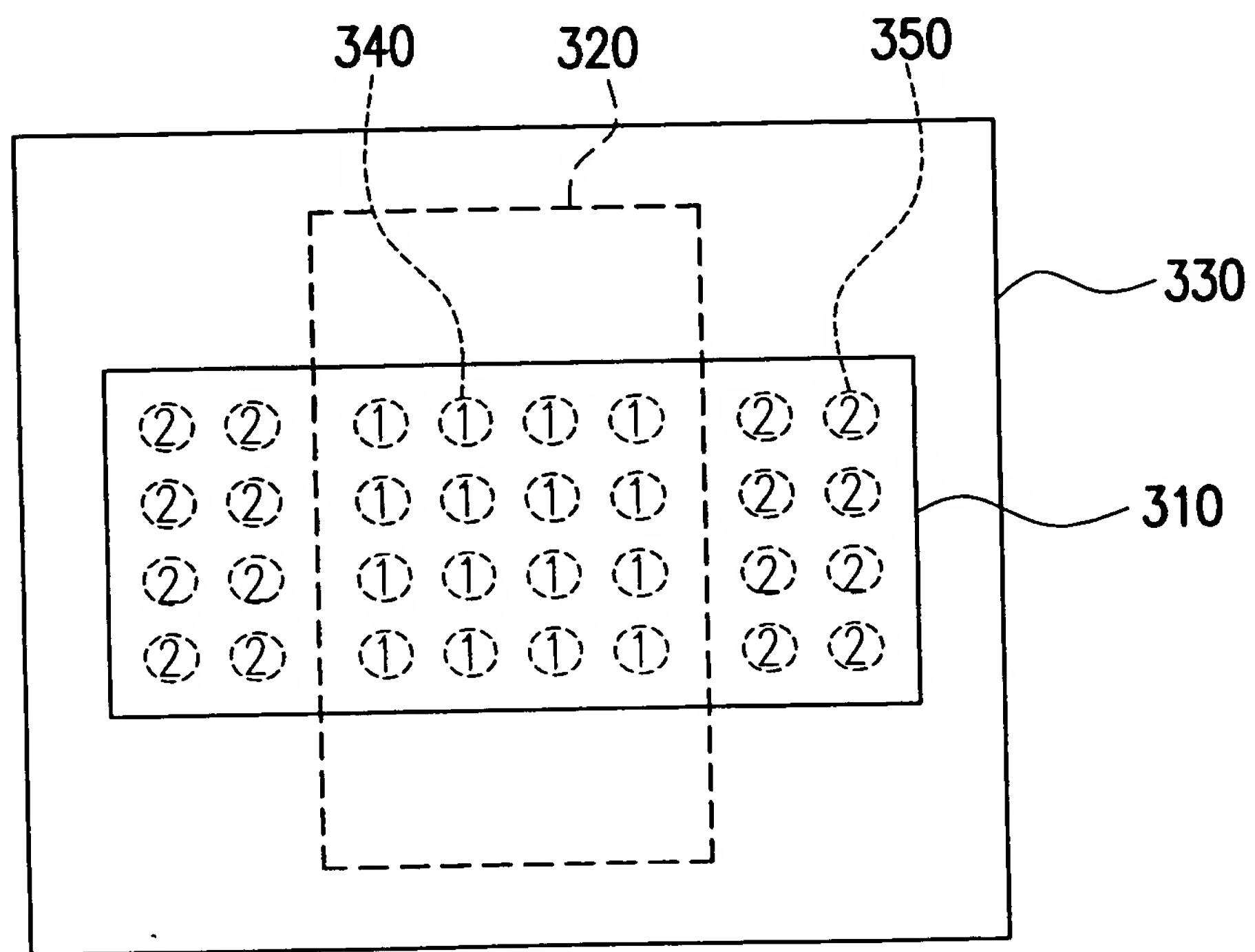
六、申請專利範圍

h1 。

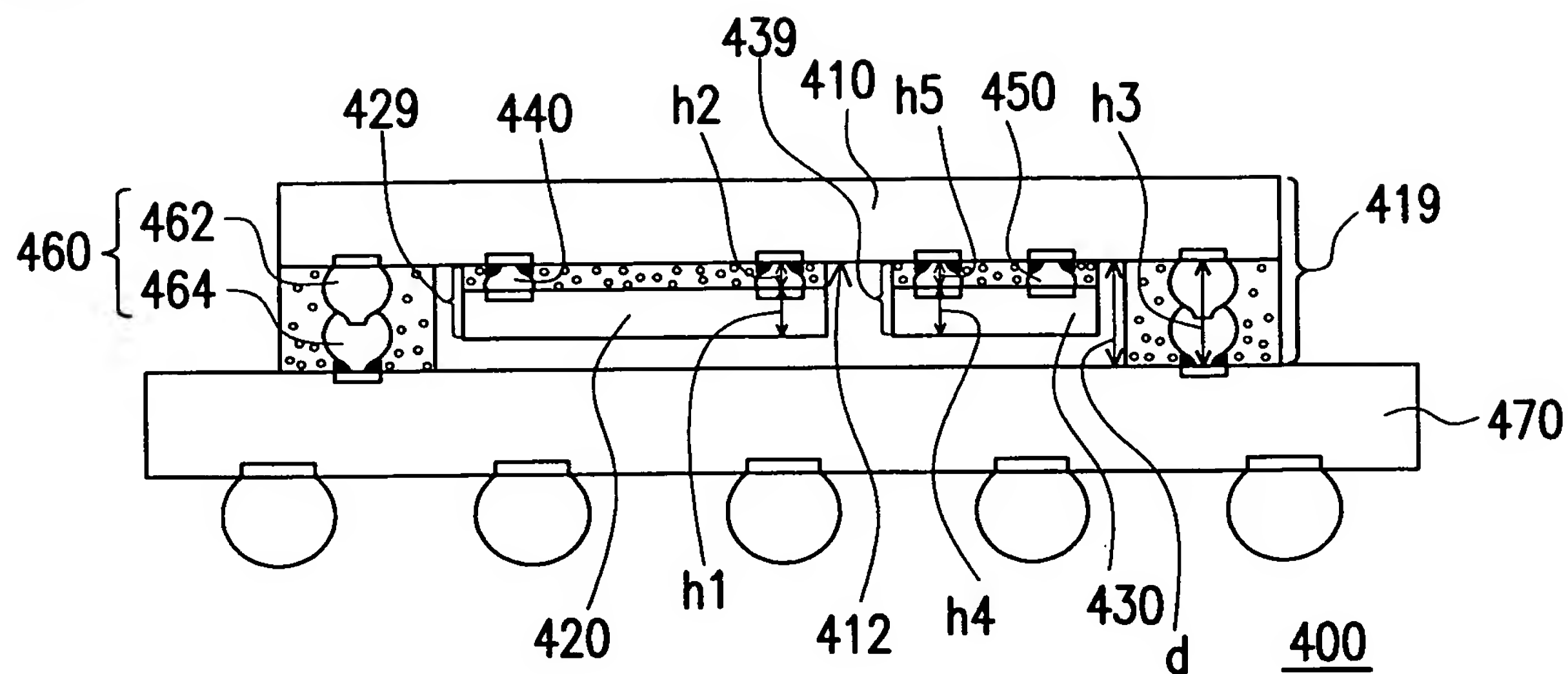




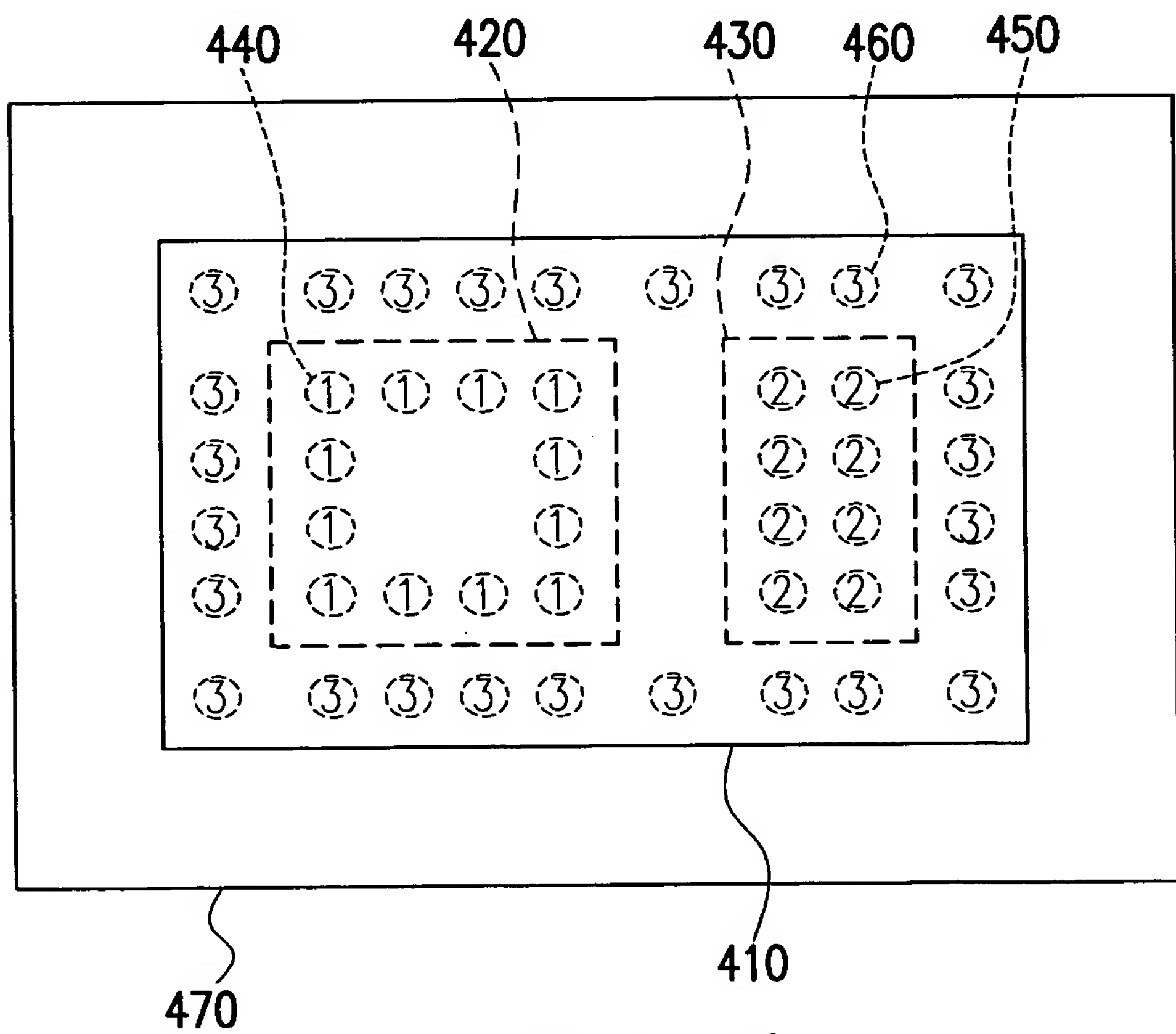
第 3 圖



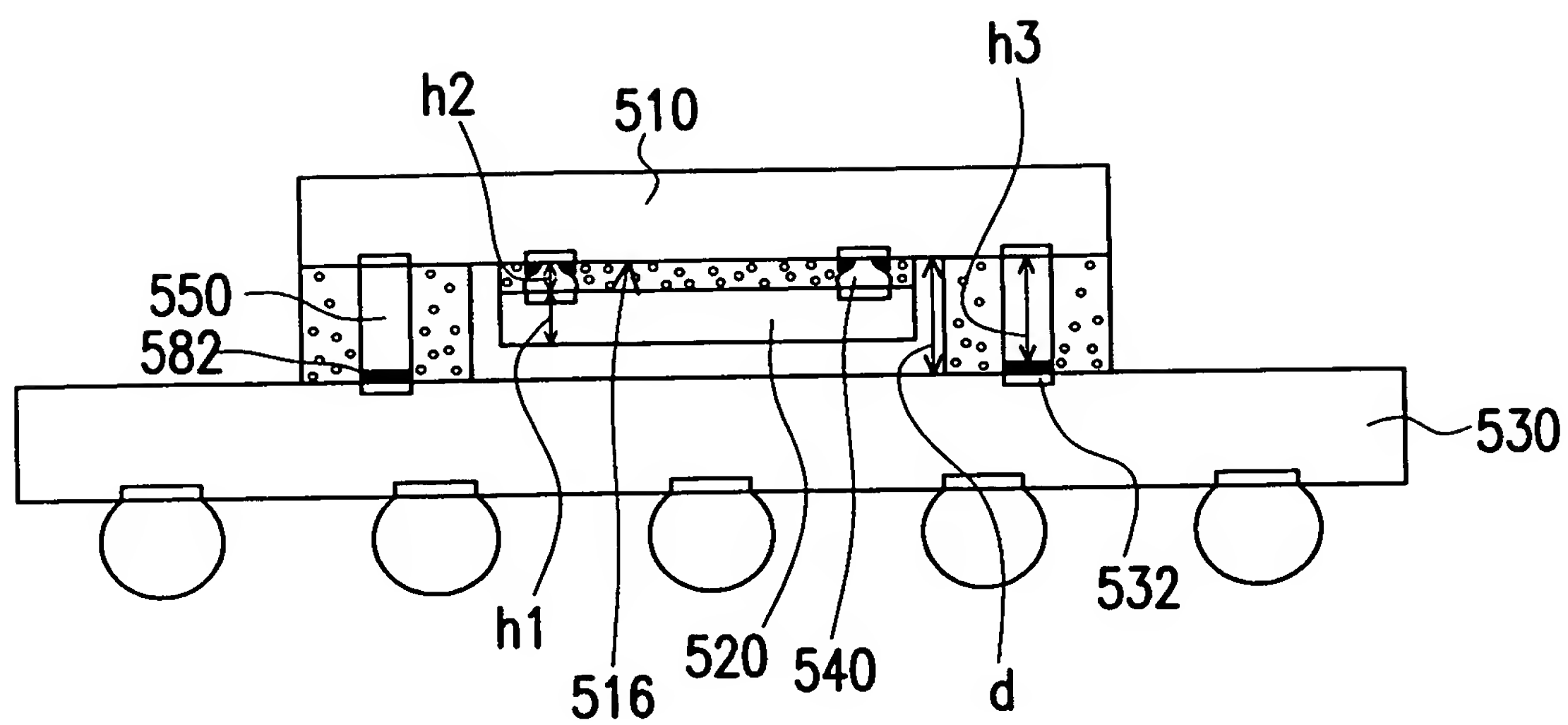
第 4 圖



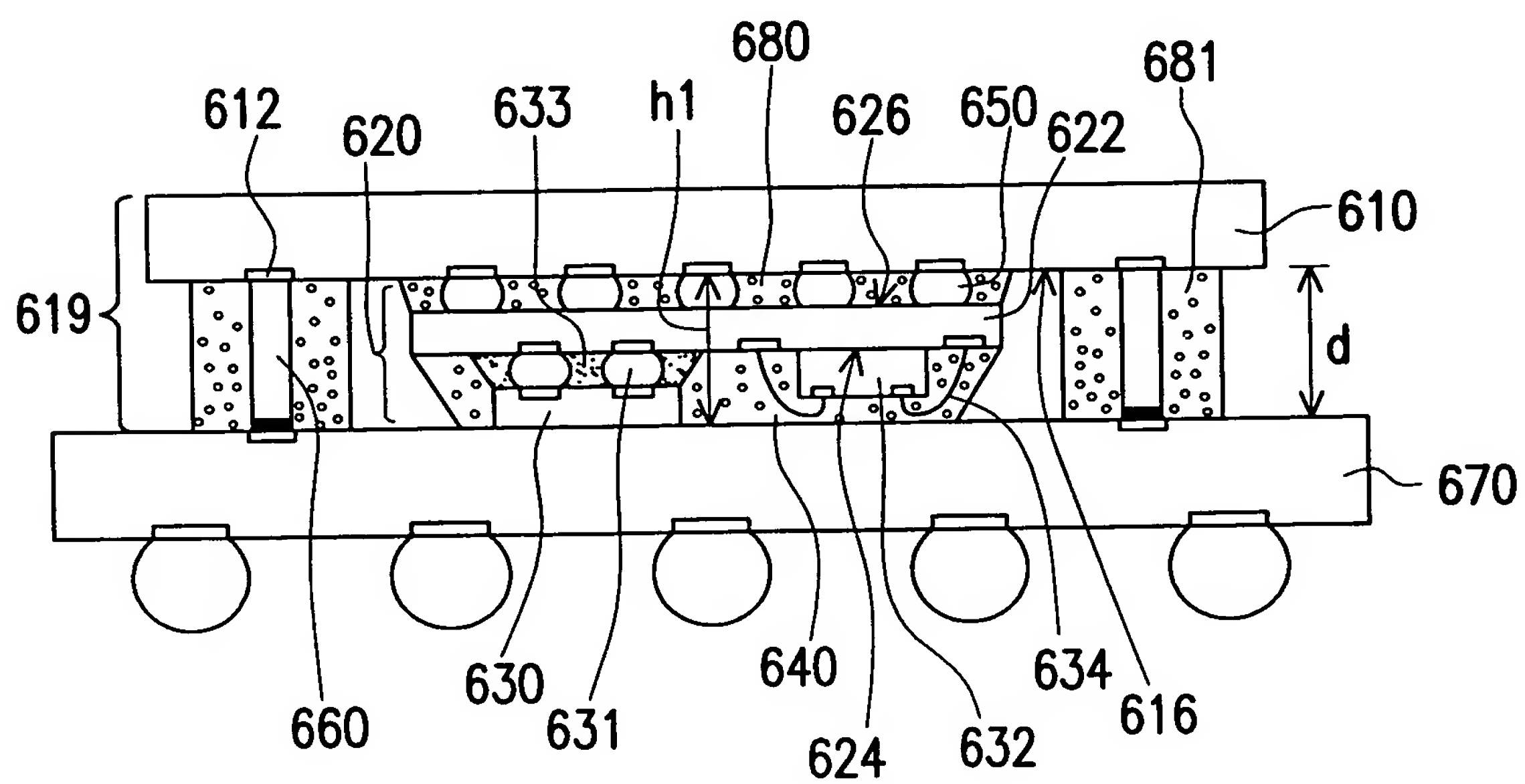
第 5 圖




第 6 圖





第 7 圖



第 8 圖








100



100



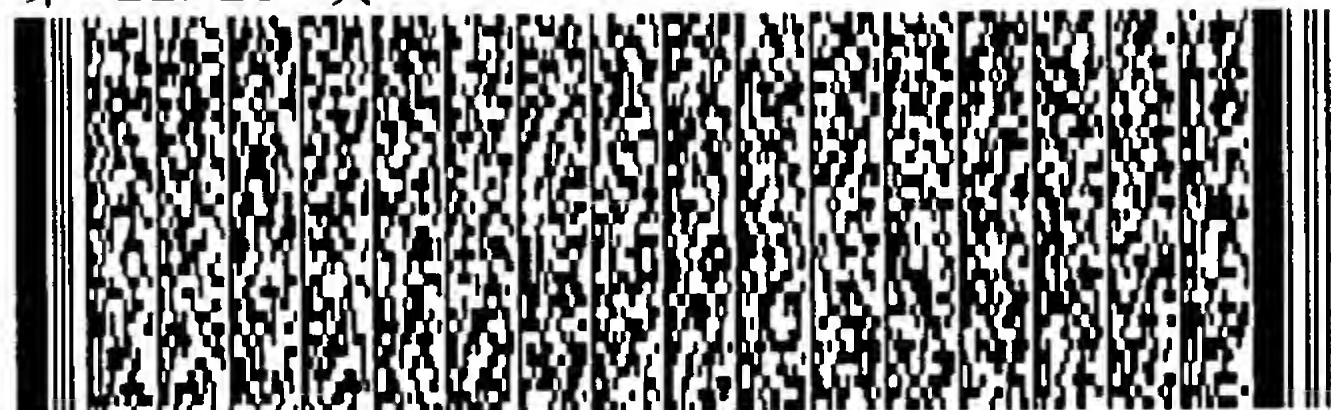
第 20/25 頁



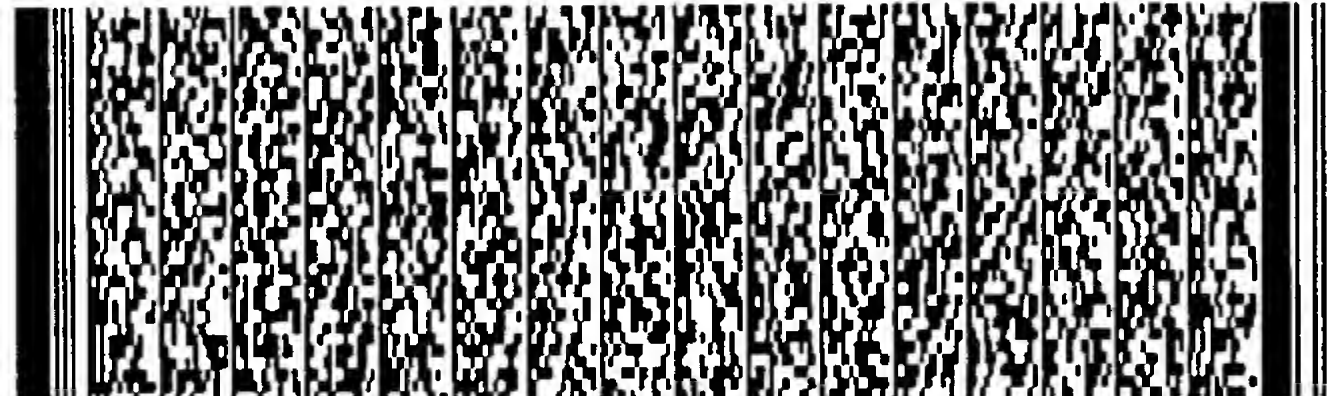
第 21/25 頁



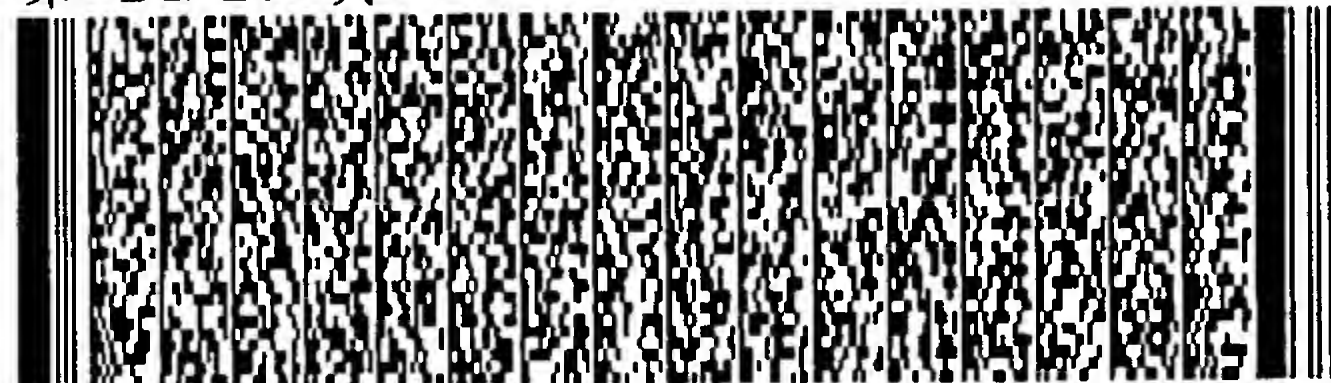
第 22/25 頁



第 23/25 頁



第 24/25 頁



第 25/25 頁

